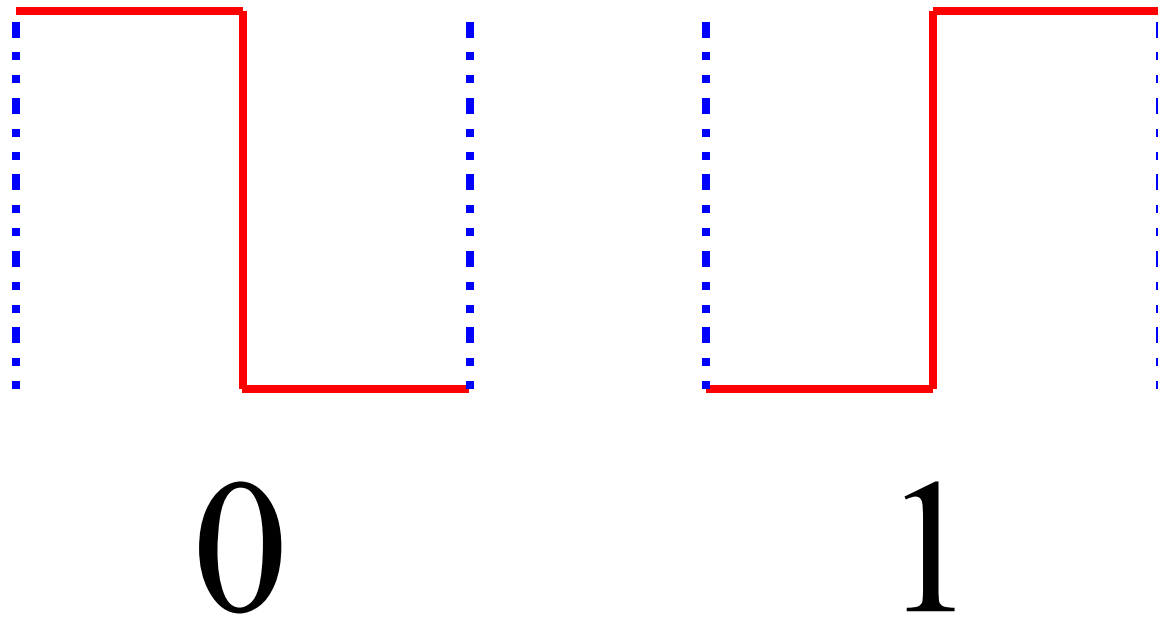


Projet PC/PO



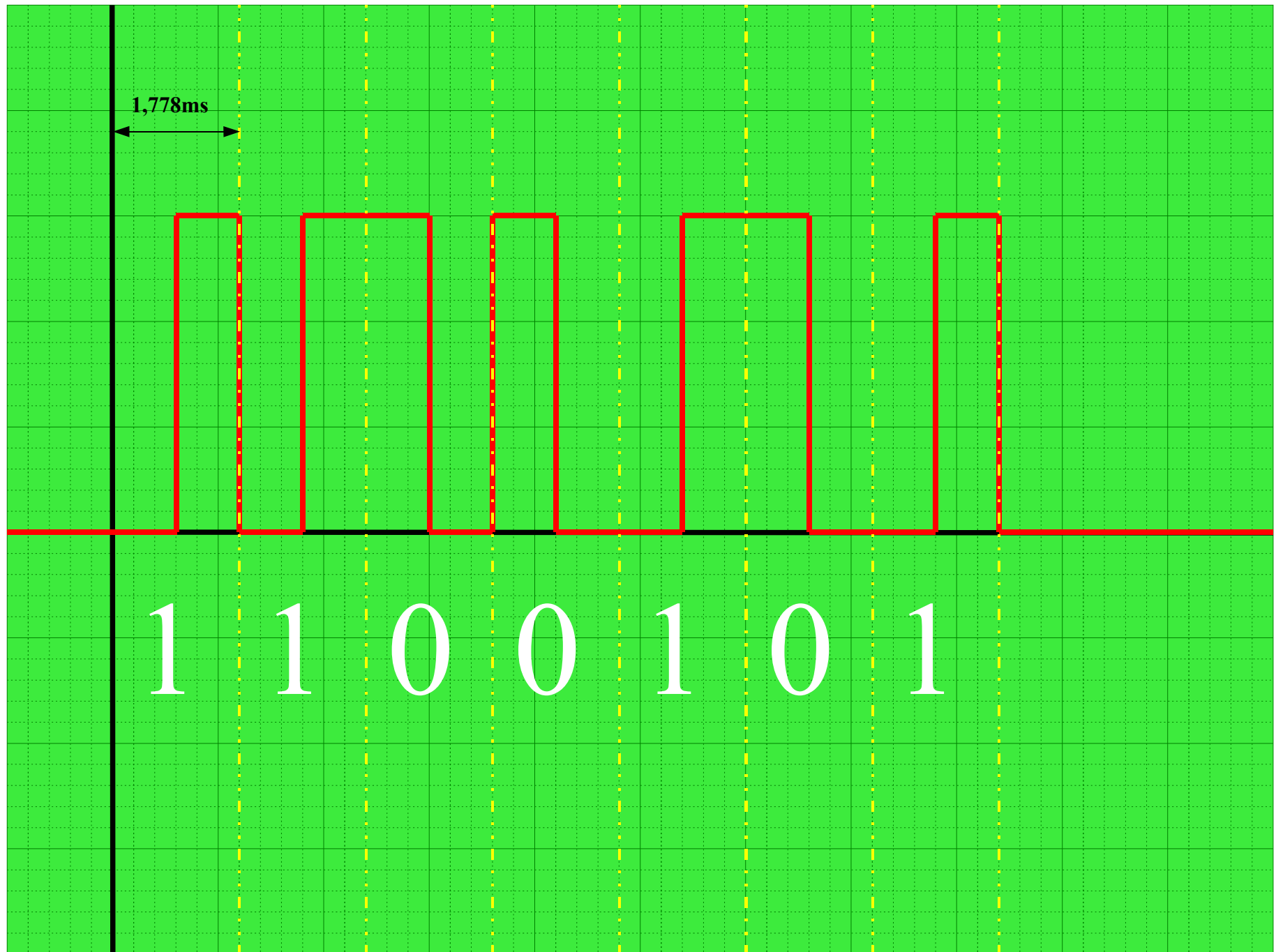
Décodeur de signaux RC5

Codage des niveaux logiques

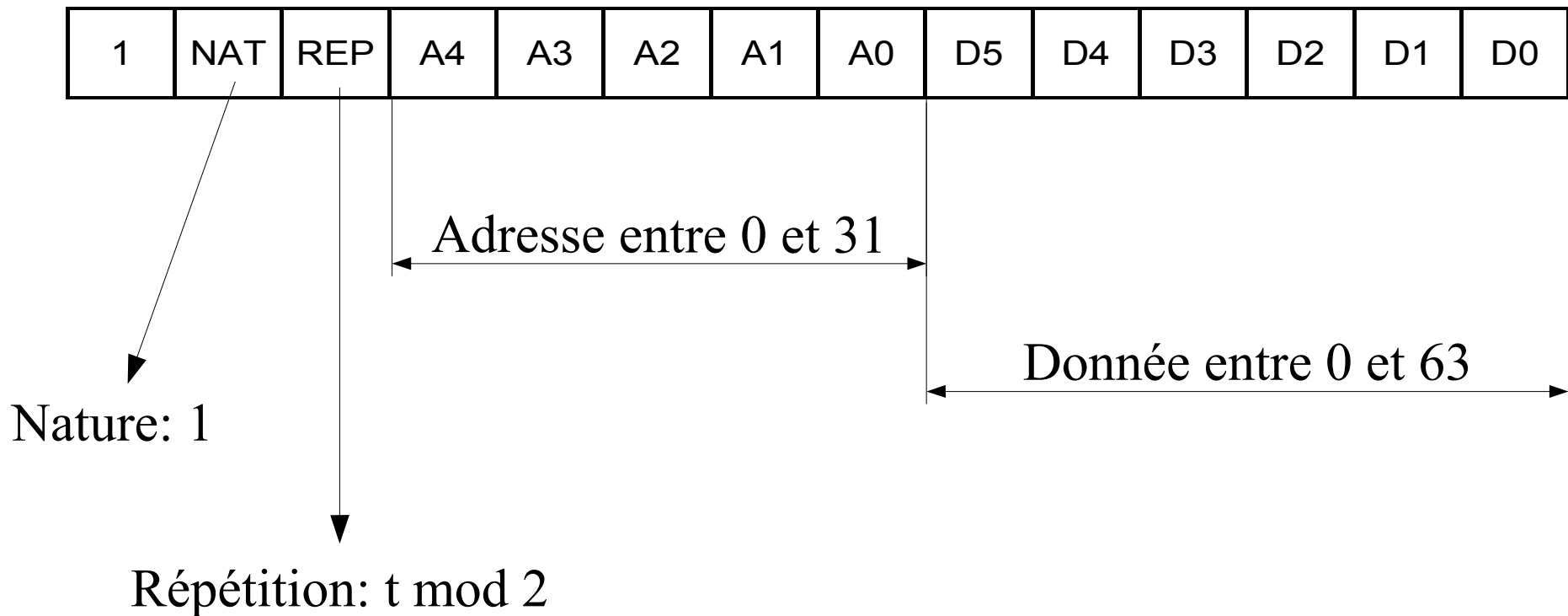


Période: 1,778ms, i.e. 562,5Hz

Exemple de codage



Trame RC5

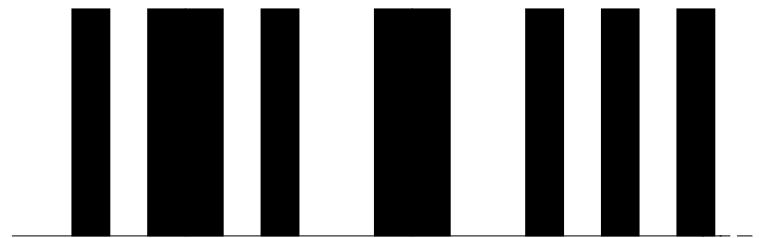


Emission, transmission et réception

Signal RC5 modulé à 36KHz

1 1 0 0 1 0 1 1 1 ...

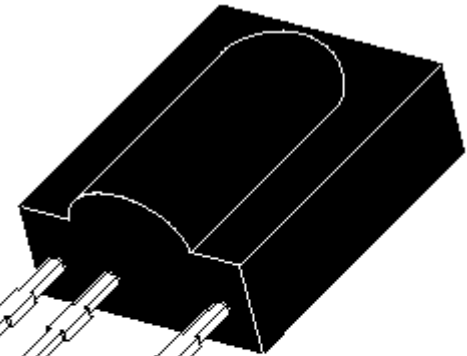
Séquence RC5



Infrarouge

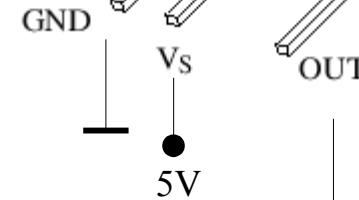
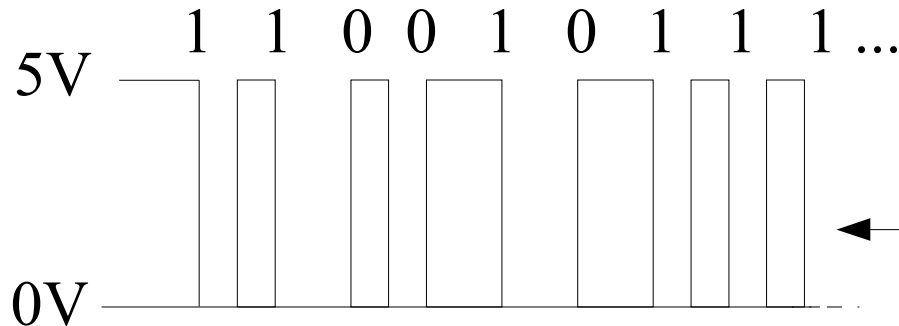


TSOP1738



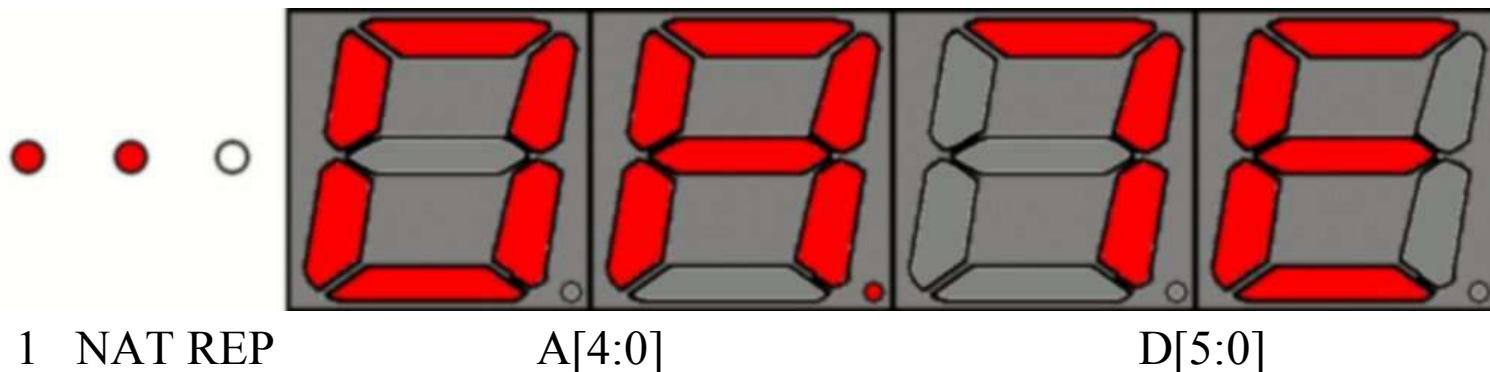
11001011100110

Séquence RC5 complémentée



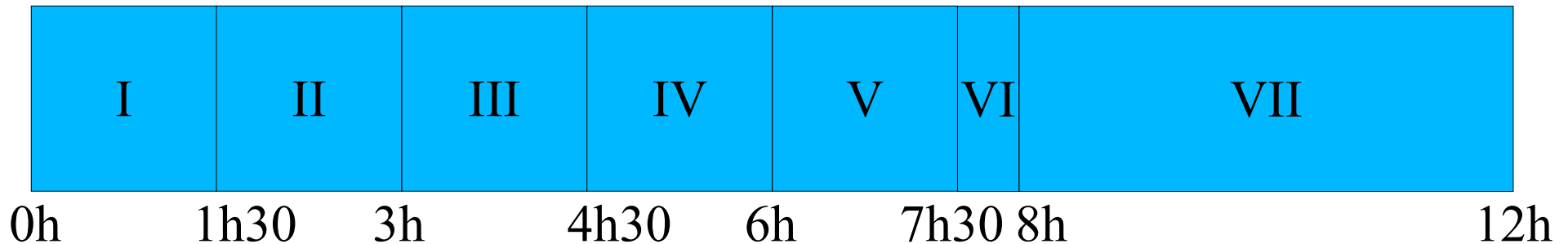
Travail demandé

- Algorithme proposé pour décoder une trame
- Conception théorique PC et PO
- Décodeur de télécommande (implantation):
 - Conversion des trames RC5 en données 14bits
 - Affichage sur LEDs et afficheurs 7 segments:
 - 1, NAT, REP sur LED0 à LED2
 - A[4:0] et D[5:0] sur les 4 afficheurs 7 segments



- Gestion des cas d'erreur (impulsion parasite, ...)

Planning indicatif



I: Présentation

II: Elaboration de l'algorithme

III: Conception PC + PO

IV: Réalisation PC seule + simulation

V: Réalisation PC + PO + simulation

VI: Battement

VII: Implantation sur carte + mesures + démo

Composants fournis

En plus des composants habituels de la bibliothèque Xilinx, vous pourrez utiliser le “convertisseur 16 bits vers afficheur 7 segments” disponible à l'adresse ci-dessous.

Vous y trouverez aussi la datasheet du récepteur infrarouge TSOP1738.

<http://www.inrialpes.fr/sharp/people/brailon>

Remarque importante

Vous devrez constituer un dossier qui pourra être évalué par les enseignants en cours de projet.(Il n'y a pas de rapport à rendre mais faites un effort sur la rédaction).

On trouvera dans ce dossier:

- Un planning prévisionnel détaillé avec l'état d'avancement réel.
- La rédaction de toute la partie théorique.
- Les schémas de chaque partie. (n'oublions pas qu'il est possible de faire des blocs autonomes pour la PC et a PO qui seront réutilisés pour le schéma final...)
- Les traces des simulations.
- Les impressions des mesures.

Ces documents devront être suffisamment clairs pour pouvoir servir de support lors de la présentation.

Tout ces documents seront demandés au moins lors de la présentation, leur qualité sera évaluée au niveau de chaque point.

Annexe

- Rappel des différentes pattes du FPGA:
 - LEDs:
 - LEDG: 45
 - LED1 à LED8: 111, 109, 102, 100, 98, 96, 94, 89
 - Afficheurs 7 segments
 - AN1 à AN4: 41, 40, 36, 35
 - CA à CG, DP: 22, 20, 17, 15, 10, 8, 6, 4
 - CLK: 182 (clock à 50MHz)
 - PB11: 73 (signal RC5 complémenté)